

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)(51) Int. Cl.<sup>7</sup>  
H01L 27/115(11) 공개번호 특2001-0065670  
(43) 공개일자 2001년07월11일

(21) 출원번호	10-1999-0065590
(22) 출원일자	1999년12월30일
(71) 출원인	주식회사 하이닉스반도체 박종섭 경기 이천시 부발읍 아미리 산136-1
(72) 발명자	주광철
(74) 대리인	경기도이천시대월면사동리311-8천호빌라2동201호 박대진, 정은섭

실사청구 : 없음

## (54) 플래쉬 메모리 소자의 제조방법

## 요약

본 발명은 비휘발성 메모리 소자인 플래쉬 메모리 제조공정에 사용되는 폴리간 유전체막으로 사용되는 탄탈늄옥사이드(Ta<sub>2</sub>O<sub>5</sub>) 증착시 비정질 박막 내에 완전히 산화되지 못하고 남아있는 Ta 화학종 (oxygen vacancies)의 생성을 어닐링 공정을 수행하여 억제시키고 탄소와 같은 불순물을 산화시켜 제거함으로써 전기적 특성이 개선된 폴리간 유전체막을 얻을 수 있도록 한 플래쉬 메모리 소자의 제조방법에 관한 것으로서, 탄탈늄옥사이드막 내에 존재하는 불순물의 영향을 최소화시키고, 불안정한 화학양론비를 안정화시켜서 양질의 유전체 박막을 얻을 수 있으며, 또한 탄탈늄옥사이드막을 증착한후 고온 열처리로 결정화하여 결합력을 강화시킴으로써 박막의 물리화학적 특성의 열화를 방지할 수가 있을 뿐만 아니라 결정화된 탄탈늄옥사이드막이 상대적으로 비정질박막 보다 높은 유전율을 얻을 수 있어 플로팅 게이트의 전하보전 능력이 향상시킬 수 있는 이점이 있다.

## 도표도

## 도4

## 특언어

플래쉬 메모리 어닐링 열처리 전하보전능력 폴리간유전막 유전체막

## 영세서

## 도면의 간단한 설명

도 1은 종래의 플래쉬 메모리 소자의 게이트구조를 나타낸 단면도이다.

도 2 내지 도 4는 본 발명에 의한 플래쉬 메모리 소자의 제조방법을 설명하기 위한 단면도들이다.

- 도면의 주요부분에 대한 부호의 설명 -

10 : 기판	20 : 터널산화막
30 : 플로팅게이트	40 : 탄탈늄옥사이드막
50 : 반구형상 폴리실리콘막	60 : 콘트롤게이트

## 발명의 상세한 설명

## 발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 플래쉬 메모리 소자의 제조방법에 관한 것으로서, 보다 상세하게는 비휘발성 메모리 소자인 플

레쉬 메모리 제조공정에 사용되는 폴리간 유전체막으로 사용되는 탄탈늄옥사이드(Ta<sub>2</sub>O<sub>5</sub>) 증착시 비정질 박막 내에 완전히 산화되지 못하고 남아있는 Ta 화학종 (oxygen vacancies)의 생성을 억제시키고 탄소와 같은 불순물을 산화시켜 제거함으로써 전기적 특성이 개선된 폴리간 유전체막을 얻을 수 있도록 한 플레쉬 메모리 소자의 제조방법에 관한 것이다.

비휘발성 메모리 소자의 플레쉬 메모리의 폴리간 유전체막으로 사용되는 탄탈늄옥사이드를 제조하는 방법에는 도 1에서 볼 수 있듯이 기관(10)위로 터널산화막(20)을 증착한 후 전하저장전극으로 사용되는 플로팅게이트(30)로서 도프드 폴리실리콘을 증착하고, 그 상위에 유전체막으로서 탄탈늄옥사이드막(40)을 PECVD, LPCVD, UV-photo-CVD, RF 마그네틱 스퍼터링 등과 같은 방법을 이용하여 증착했다. 또한 컨트롤게이트(60)의 상부전극도 도프드 폴리실리콘을 적층하여 후속으로 포토 마스크와 식각 기술을 적용하여 플레쉬 메모리의 적층형 게이트를 형성하여 사용하고 있다.

한편, 최근에는 탄탈늄옥사이드막(40)의 질이 우수한 PECVD와 상대적으로 박막의 질은 떨어지지만 스텝 커버리지가 우수한 LPCVD방법을 주로 이용하여 탄탈늄옥사이드막을 증착하고 있다.

그러나, 위에서 언급된 방법들 중에서 어느 방법을 쓰든지 간에 모두 탄탈늄옥사이드막은 불안정한 화학양론비를 갖고 있어 Ta<sub>2</sub>O<sub>5</sub>와 같은 상태로 존재하면서 Ta와 O의 조성비 차이에 기인하여 치환된 Ta원자가 생성되고 Ta<sub>2</sub>O<sub>5</sub>의 원료원인 Ta(OC<sub>2</sub>H<sub>5</sub>)<sub>5</sub>의 유기물과 O<sub>2</sub>(또는 N<sub>2</sub>)가스의 반응으로 인해서 불순물인 탄소원자와 탄소화합물(C, CH<sub>4</sub>등) 및 물(H<sub>2</sub>O)이 생성된다.

따라서, 결국은 탄탈늄옥사이드막(40) 내에 불순물로 존재하는 탄소원자, 이온과 라디칼로 인해서 플로팅 게이트의 전하보전능력이 저하하게 되고 유전특성이 열화되어 양산용 플레쉬 메모리에 적용되기 곤란한 문제점이 있다.

### 발명이 이루고자 하는 기술적 과제

본 발명은 상기와 같은 문제점을 해결하기 위해 창안된 것으로서, 본 발명의 목적은 플레쉬 메모리의 폴리간 유전체막 LPCVD법을 이용하여 탄탈늄옥사이드막으로 형성함에 있어 비정질 탄탈늄옥사이드의 증착과 플라즈마 어닐링 공정을 효과적으로 반복하여 적용함으로써 탄탈늄옥사이드막 내에 존재하는 불순물의 영향을 최소화시키고, 불안정한 화학양론비를 안정화시켜서 유전율이 높은 유전막을 얻을 수 있을 뿐만 아니라 전하보전능력이 향상된 적층형 게이트의 플레쉬 메모리를 제조할 수 있도록 한 플레쉬 메모리 소자의 제조방법을 제공함에 있다.

### 발명의 구성 및 작용

상기와 같은 목적을 실현하기 위한 본 발명은 적층형 구조의 게이트를 갖는 플레쉬 메모리 소자의 제조방법에 있어서, 기관위로 터널산화막과 플로팅게이트를 차례로 증착하는 단계와, 플로팅게이트 위로 반구형상 폴리실리콘막을 증착한 후 제 1차 어닐링 공정을 수행하는 단계와, 제 1차 어닐링 공정을 수행한 후 탄탈늄옥사이드막의 증착과 제 2차 어닐링 공정을 1회 이상 반복수행하는 단계와, 탄탈늄옥사이드막 증착과 제 2차 어닐링 공정을 반복수행하여 일정 두께의 탄탈늄옥사이드막을 증착한 후 제 3차 어닐링 공정을 수행하는 단계와, 제 3차 어닐링 공정을 수행한 후 콘트롤 게이트를 증착하는 단계를 포함하여 이루어진 것을 특징으로 한다.

위와 같이 이루어진 본 발명은 플레쉬 메모리 소자의 폴리간 유전체막으로 탄탈늄옥사이드막으로 형성함에 있어 비정질 탄탈늄옥사이드의 증착과 제 2차 어닐링 공정을 반복 수행함으로써 탄탈늄옥사이드막 내에 존재하는 불순물의 영향을 최소화시키고, 불안정한 화학양론비를 안정화시켜서 양질의 유전체 박막을 얻을 수 있으며, 또한 탄탈늄옥사이드막을 제 3차 어닐링 공정에서 고온 열처리로 결정화하여 결합력을 강화시키므로써 박막의 폴리화학적 특성의 열화를 방지할 수가 있을 뿐만 아니라 결정화된 탄탈늄옥사이드막이 상대적으로 비정질박막 보다 높은 유전율을 얻을 수 있어 플로팅 게이트의 전하보전능력이 향상시킬 수 있게 된다.

이하, 본 발명의 바람직한 실시예를 첨부된 도면을 참조하여 설명한다. 또한 본 실시예는 본 발명의 권리 범위를 한정하는 것은 아니고, 단지 예시로 제시된 것이며 종래 구성과 동일한 부분은 동일한 부호 및 명칭을 사용한다.

도 2 내지 도 4는 본 발명에 의한 플레쉬 메모리 소자의 제조방법을 설명하기 위한 단면도들이다.

도 2에 도시된 바와 같이 반도체 기관(10)위로 터널산화막(20)을 증착한 후 플로팅 게이트(30)를 증착한다. 그리고 플로팅 게이트(30) 위로 전하보전능력을 증가시키기 위하여 반구형상 폴리실리콘막(50)을 증착한다.

그런다음 도 3과 같이 반구형상 폴리실리콘막(50)과 비정질 탄탈늄옥사이드막(40)과의 계면에 후속공정으로 비정질 탄탈늄옥사이드막(40)을 결정화시키기 위한 제 2차 어닐링 공정에 의한 저유전율층인 산화막이 형성되는 것을 최대한 방지하기 위해 인시류공정으로 200~400°C 온도범위에서 플라즈마를 이용하여 NH<sub>3</sub>(또는 N<sub>2</sub>)분위기에서 반구형상 폴리실리콘막(50) 표면을 질화시키는 제 1차 어닐링 공정을 수행한다.

위의 제 1차 어닐링 공정에서 플라즈마를 이용하여 반구형상 폴리실리콘막(50) 표면을 질화시키는 대신에 RTP를 이용하여 650~950°C, NH<sub>3</sub>분위기에서 어닐링하여 질화시킨 후 인시류 또는 엑스시류로 탄탈늄옥사이드막(40)을 증착시켜 유전체 박막을 증착시키는 일련의 연속된 어닐링 공정을 수행할 수도 있다.

그리고, 제 1차 어닐링 공정을 전기로를 이용하여 인시류 또는 엑스시류에서 500~1000°C, NH<sub>3</sub> 분위기에

서 진행함으로써 질화시킬 수도 있다.

한편, 제 1차 어닐링 공정을 수행하지 않고 전하저장전극인 플로팅 게이트(30)를 증착한 후 반구형상 폴리실리콘막(50)을 형성한 다음 인시투 또는 익스시투에서 HF 증기 또는 HF 액체를 사용하여 자연산화막을 제거하고 탄탈늄옥사이드막(40)을 증착시킬 수도 있다.

이때, HF화합물을 이용하여 반구형상 폴리실리콘(50)을 표면처리하는 과정에서 HF표면처리 전후에 계면을 세정하거나 균일성을 향상시킬 목적으로 NH<sub>4</sub>OH용액 또는 H<sub>2</sub>SO<sub>4</sub>용액 등의 화합물을 사용하여 계면을 처리한다.

또한, 반구형상 폴리실리콘(50)막 표면상의 자연산화막을 제거하고 세정공정을 진행한 다음 실리콘 질화막을 5~25Å 미만으로 증착한 후 시간지연없이 원하는 두께로 탄탈늄옥사이드막(40)을 증착시킬 수도 있다.

그리고, 탄탈늄옥사이드막(40) 증착전에 산화저항성을 증가시키기 위해 플라즈마 또는 RTP를 이용하여 NH<sub>3</sub>(또는 N<sub>2</sub>/H<sub>2</sub>)분위기에서 반구형상 폴리실리콘막(50) 표면을 300~950°C 온도범위내에서 질화시키거나 NO<sub>2</sub> 또는 O<sub>2</sub> 분위기에서 열처리하여 앵글링 본드에 기인한 구조적 결함 내지는 구조적 불균일성을 개선하여 플로팅게이트로부터의 누설전류 특성을 향상시킨다.

그런다음, 비정질 탄탈늄옥사이드막(40)을 400~500°C의 온도 범위에서 1차 증착한 후 제 2차 어닐링 공정으로 O<sub>2</sub> 플라즈마 어닐링을 수행한다. 이어서 비정질 탄탈늄옥사이드막(40)을 2차 증착한 후 다시금 제 2차 어닐링 공정으로 O<sub>2</sub> 플라즈마 어닐링을 수행한다.

이때 탄탈늄옥사이드막(40)은 Ta성분의 화학증기를 Ta(OC<sub>2</sub>H<sub>5</sub>) 같은 Ta화합물을 MFC(Mass Flow Controller)와 같은 유량조절기를 통해 증발기 또는 증발판으로 정량 공급한 다음 150°C~200°C온도범위에서 증발시켜서 얻을 수도 있다.

이와 같이 비정질 탄탈늄옥사이드막(40)의 증착과 제 2차 어닐링 공정을 필요에 따라 1회 이상 반복함으로써 비정질 탄탈늄옥사이드막(40) 내부에 존재하는 치환형 Ta원자 및 탄소성분을 효과적으로 산화시켜 제거하면서 원하는 박막 두께를 형성시킨다.

그리고, 원하는 두께의 비정질 탄탈늄옥사이드막(40)을 증착한 다음 제 3차 어닐링 공정으로 800~900°C, N<sub>2</sub>분위기에서 10분~60분 정도 어닐링시켜 결정화를 유도한다.

위의 제 3차 어닐링 공정은 탄탈늄옥사이드막(40)을 증착한 후 컨트롤 게이트(60)인 상부전극의 산화 및 전하전도를 방지하기 위해 인시투 플라즈마를 이용하여 200~600°C, NH<sub>3</sub>(또는 N<sub>2</sub>/H<sub>2</sub>, N<sub>2</sub>O)분위기에서 어닐링하여 계면을 질화시킴으로써 5Å~20Å의 질화막 또는 질산화막을 형성시킬 수 있다.

이와 같이 질화막 형성시 인시투 및 익스시투로 N<sub>2</sub>O 또는 O<sub>2</sub>분위기에서 건식산화 또는 라이트산화시켜 결정화시키게 된다.

한편, 탄탈늄옥사이드막(40)을 증착한 후 컨트롤 게이트(60)인 상부전극의 산화 및 전하전도를 방지하기 위해 제 3차 어닐링 공정으로써 전기로 또는 RTP를 이용하여 650~950°C, NH<sub>3</sub>(또는 N<sub>2</sub>/H<sub>2</sub>, N<sub>2</sub>O)분위기에서 어닐링하여 계면을 질화시킴으로써 5Å~20Å의 질화막을 형성시키도록 한다.

또한, 탄탈늄옥사이드막(40)을 증착한 후에 제 3차 어닐링 공정으로써 300~950°C, NH<sub>3</sub>(또는 N<sub>2</sub>, N<sub>2</sub>/H<sub>2</sub>, N<sub>2</sub>O) 분위기에서 인시투 또는 익스시투로 결정화를 유도하거나 계면을 질화시킨다.

그리고, 탄탈늄옥사이드막(40)을 증착한 후에 제 3차 어닐링 공정으로써 전기로를 사용하여 600~950°C, NH<sub>3</sub>(또는 N<sub>2</sub>, N<sub>2</sub>/H<sub>2</sub>, N<sub>2</sub>O)분위기에서 인시투 또는 익스시투로 후속 열처리를 통해 결정화를 유도하거나 계면을 질화시킨다.

또한, 탄탈늄옥사이드막(40)을 증착한 후에 마이크로 크랙 또는 핀홀 등과 같은 구조적 결함 내지는 구조적 불균일성을 개선하기 위해 300~600°C, N<sub>2</sub>O 또는 O<sub>2</sub>분위기에서 플라즈마를 이용하여 산화시키는 제 3차 어닐링 공정을 수행한다.

이때 제 3차 어닐링 공정으로써 플라즈마를 이용하는 산화방법 대신에 RTP또는 전기로를 사용하여 600~950°C, N<sub>2</sub>O 또는 O<sub>2</sub>분위기에서 인시투 또는 익스시투로 후속 열처리를 통해 결정화를 유도하거나 계면을 산화시키는 방법을 사용할 수도 있다.

또한, 인시투 및 익스시투로 O<sub>2</sub>와 H<sub>2</sub>분위기에서 O<sub>2</sub>/H<sub>2</sub>가스의 유량비를 3:1이하로 정량하여 라이트 습식 산화시켜 결정화시키거나 산화시킨다.

그런 다음, 도 4에 도시된 바와 같이 탄탈늄옥사이드막(40)을 증착한 후 도프트 폴리실리콘을 증착시켜 컨트롤 게이트(60)인 상부전극을 형성함으로써 플래쉬 메모리 소자의 적층형 게이트 형성공정을 완료한다.

#### 발명의 효과

상기한 바와 같이 본 발명은 LPCVD 챔버를 통해 반구형상의 실리콘막을 증착한 후 인시투에서 플라즈마를 이용하여 저온에서 실리콘 표면을 질화시키면 후속 고온 공정시 산화제가 비정질 탄탈늄옥사이드막을 통해 폴리실리콘과 반응하여 자연산화막이 계면에 형성되는 것을 최대한 방지할 수 있는 이점이 있다.

또한, 200~400°C의 낮은 온도에서 플라즈마를 이용하므로 어닐링 공정을 수행함으로써 하부전극의 열화를 방지할 수 있으며 계면의 막절도 개선시켜 플로팅게이트로부터의 누설전류 특성을 개선시킬 수 있는 이점이 있다.

그리고, 비정질 탄탈늄옥사이드막을 결정화시켜 상대적으로 높은 유전율을 얻기 위한 어닐링과 같은 후속

고온공정을 진행하더라도 국부적으로 산화가 진행되면서 자연산화막보다 유전상수가 큰 실리콘 질화막이 형성되기 때문에 플로팅 게이트의 전하보전능력을 상대적으로 크게 증가시킬 수 있는 이점이 있다.

한편, 비정질 탄탈늄옥사이드막과 O<sub>2</sub> 플라즈마 어닐링을 반복 수행함으로써 치환형 Ta 원자 및 탄소성분을 효과적으로 산화시킴으로써 결합력을 강화시키면서 불안정한 화학양론비를 안정화시켜 누설전류의 수준을 낮추고, 절연파괴전압을 증가시켜 탄탈늄옥사이드 플로팅 유전체의 전기적 특성을 개선시킬 수 있는 이점이 있다.

또한, 비정질 탄탈늄옥사이드막을 증착한 다음 고온에서 어닐링시켜 결정화를 유도함으로써 탄탈늄옥사이드막의 유전율을 상승시켜 플로팅 게이트의 전하보전능력을 증가시킬 수 있는 이점이 있다.

#### (57) 청구의 범위

##### 청구항 1

적층형 구조의 게이트를 갖는 플래쉬 메모리 소자의 제조방법에 있어서,  
기판위로 터널산화막과 플로팅게이트를 차례로 증착하는 단계와,  
상기 플로팅게이트 위로 반구형상 폴리실리콘막을 증착한 후 제 1차 어닐링 공정을 수행하는 단계와,  
상기 제 1차 어닐링 공정을 수행한 후 탄탈늄옥사이드막의 증착과 제 2차 어닐링 공정을 1회 이상 반복수행하는 단계와,  
상기 탄탈늄옥사이드막 증착과 제 2차 어닐링 공정을 반복수행하여 일정 두께의 탄탈늄옥사이드막을 증착한 후 제 3차 어닐링 공정을 수행하는 단계와,  
상기 제 3차 어닐링 공정을 수행한 후 콘트롤 게이트를 증착하는 단계  
를 포함하여 이루어진 것을 특징으로 하는 플래쉬 메모리 소자의 제조방법.

##### 청구항 2

제 1항에 있어서, 상기 제 1차 어닐링 공정은  
인시튜로 300~600°C, NH<sub>3</sub> 분위기에서 30초~10분 동안 플라즈마를 이용하여 진행하는 것을 특징으로 하는 플래쉬 메모리 소자의 제조방법.

##### 청구항 3

제 1항에 있어서, 상기 제 1차 어닐링 공정은  
RTP를 이용하여 650~950°C, NH<sub>3</sub> 분위기에서 어닐링하여 질화시키는 것을 특징으로 하는 플래쉬 메모리 소자의 제조방법.

##### 청구항 4

제 1항에 있어서, 상기 제 1차 어닐링 공정은  
전기로를 이용하여 인시튜 또는 익스시튜에서 500~1000°C, NH<sub>3</sub> 분위기에서 질화시키는 것을 특징으로 한 플래쉬 메모리 소자의 제조방법.

##### 청구항 5

제 1항에 있어서, 상기 제 1차 어닐링 공정은  
플라즈마 또는 RTP를 이용하여 NH<sub>3</sub>, N<sub>2</sub>/H<sub>2</sub> 가스분위기에서 300~950°C 범위내에서 진행하는 것을 특징으로 하는 플래쉬 메모리 소자의 제조방법.

##### 청구항 6

제 1항에 있어서, 상기 제 1차 어닐링 공정은  
플라즈마 또는 RTP를 이용하여 NO<sub>2</sub> 또는 O<sub>2</sub> 가스분위기에서 진행하는 것을 특징으로 하는 플래쉬 메모리 소자의 제조방법.

##### 청구항 7

제 1항에 있어서, 상기 탄탈늄옥사이드막은

Ta성분의 화학증기를 유량조절기를 통해 증발기 또는 증발판으로 정량 공급한 다음 150℃~200℃ 온도범위에서 증발시켜서 얻는 것을 특징으로 하는 플래쉬 메모리 소자의 제조방법.

#### 청구항 8

제 1항에 있어서, 상기 제 2차 어닐링 공정은

인시튜 플라즈마를 이용하여 200~600℃, NH<sub>3</sub>, N<sub>2</sub>/H<sub>2</sub>, N<sub>2</sub>O 중 어느 한 가스분위기에서 진행하여 5A~20A의 질화막 또는 질산화막을 형성하는 것을 특징으로 하는 플래쉬 메모리 소자의 제조방법.

#### 청구항 9

제 8항에 있어서, 상기 질화막은

인시튜 및 엑스시튜로 N<sub>2</sub>O 또는 O<sub>2</sub>분위기에서 건식산화 또는 라이트산화시켜 얻는 것을 특징으로 하는 플래쉬 메모리 소자의 제조방법.

#### 청구항 10

제 1항에 있어서, 상기 제 3차 어닐링 공정은

800~900℃, N<sub>2</sub>분위기에서 10분~60분 정도 진행하는 것을 특징으로 하는 플래쉬 메모리 소자의 제조방법.

#### 청구항 11

제 1항에 있어서, 상기 제 3차 어닐링 공정은

전기로 또는 RTP를 이용하여 650~950℃, NH<sub>3</sub>, N<sub>2</sub>/H<sub>2</sub>, N<sub>2</sub>O 중 어느 한 가스분위기에서 진행하여 계면에 5A~20A의 질화막을 형성시키는 것을 특징으로 하는 플래쉬 메모리 소자의 제조방법.

#### 청구항 12

제 1항에 있어서, 상기 제 3차 어닐링 공정은

300~950℃, NH<sub>3</sub>, N<sub>2</sub>, N<sub>2</sub>/H<sub>2</sub>, N<sub>2</sub>O 중 어느 한 가스분위기에서 인시튜 또는 엑스시튜로 진행하는 것을 특징으로 하는 플래쉬 메모리 소자의 제조방법.

#### 청구항 13

제 1항에 있어서, 상기 제 3차 어닐링 공정은

300~600℃, N<sub>2</sub>O 또는 O<sub>2</sub>분위기에서 플라즈마를 이용하여 진행하는 것을 특징으로 하는 플래쉬 메모리 소자의 제조방법.

#### 청구항 14

제 1항에 있어서, 상기 제 3차 어닐링 공정은

RTP또는 전기로를 사용하여 600~950℃, N<sub>2</sub>O 또는 O<sub>2</sub>분위기에서 인시튜 또는 엑스시튜로 진행하는 것을 특징으로 하는 플래쉬 메모리 소자의 제조방법.

#### 청구항 15

제 1항에 있어서, 제 3차 어닐링 공정은

인시튜 및 엑스시튜로 O<sub>2</sub>와 H<sub>2</sub>분위기에서 O<sub>2</sub>/H<sub>2</sub>가스의 유량비를 30이하로 정량하여 라이트 습식 산화시키는 것을 특징으로 하는 플래쉬 메모리 소자의 제조방법.

도면

図1

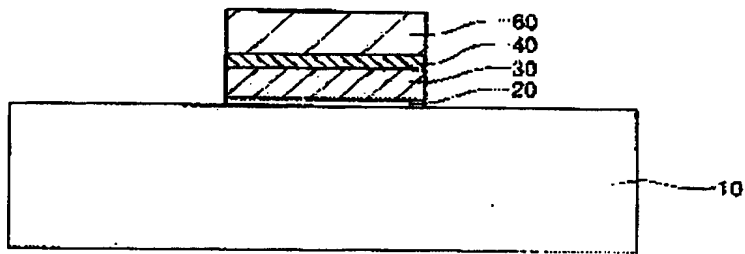


図2

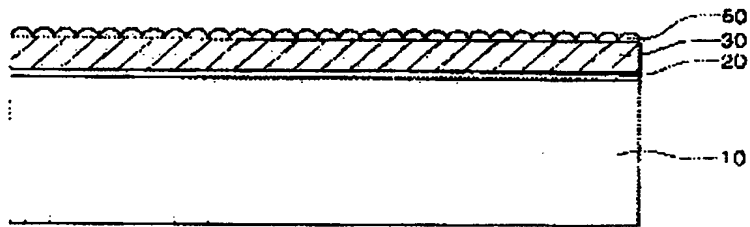


図3

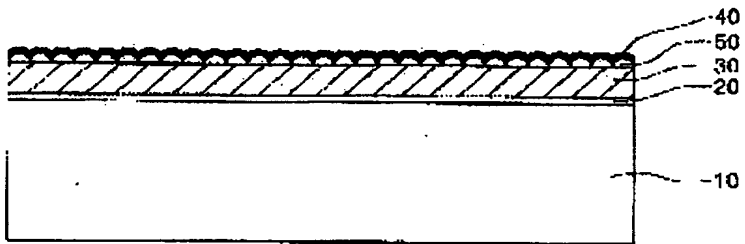


図4

